

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許出願公告番号

特公平6-73111

(24) (44)公告日 平成 6 年(1994) 9 月14日

(51)Int.Cl.⁵

G 0 6 F 12/08

識別記号

3 2 0

庁内整理番号

7608-5B

F I

技術表示箇所

J 7608-5B

発明の数 1 (全 4 頁)

(21)出願番号 特願昭61-23264

(22)出願日 昭和61年(1986) 2 月 5 日

(65)公開番号 特開昭62-182853

(43)公開日 昭和62年(1987) 8 月11日

(71)出願人 999999999

日本電気株式会社

東京都港区芝 5 丁目 7 番 1 号

(72)発明者 内田 密次郎

東京都港区芝 5 丁目33番 1 号 日本電気株
式会社内

(74)代理人 弁理士 柳川 信

審査官 大日方 和幸

(56)参考文献 特開 昭60-19261 (J P, A)

(54)【発明の名称】 ディスクキャッシュ装置

1

【特許請求の範囲】

【請求項 1】複数のバッファセグメントを有するディスクキャッシュメモリと、これ等バッファセグメントにMビット (Mは正の整数) のエラー検出及びNビット (NはM未満の正の整数) のエラー検出・訂正可能なエラー検出・訂正コードを付加してデータを書込む書込み手段と、前記バッファセグメントのデータが前記Mビットのエラー及びNビットの訂正可能エラーのいずれかを有するか否か検出するエラー検出手段と、前記バッファセグメント毎に前記検出手段による前記Mビットのエラー検出及びNビットの訂正可能エラーの検出履歴を保持する履歴保持テーブルと、前記履歴保持テーブルの検出履歴が前記Mビットのエラー検出を示すバッファセグメントを使用禁止にする手段と、上位装置からのデータ書込み指示がストアイン操作を要求するものである場合に前

2

記履歴保持テーブルを参照して前記Mビットのエラー検出及びNビットの訂正可能エラーの検出履歴がないバッファセグメントを抜出す手段と、この抜出したバッファセグメントに前記ストアイン操作の対象となるバッファセグメントを割当てする手段とを有し、前記履歴保持テーブルの検出履歴が前記Nビットの訂正可能エラーの検出を示すバッファセグメントは前記ストアイン操作時にのみ使用禁止にすることを特徴とするディスクキャッシュ装置。

10 【発明の詳細な説明】

技術分野

本発明はディスクキャッシュ装置に関し、特にストアイン機能を有するディスクキャッシュ装置に関する。

従来技術

一般に、ディスクキャッシュメモリはワード単位に1ビ

3

ットエラー検出・訂正機能と2ビットエラー検出機能とを持っており、メモリにおける障害は1ビットエラーから2ビットエラーへと進行するのが普通である。また、これらデータエラーの検出はメモリの読み出し時に行われる。

従来のディスクキャッシュ装置では、キャッシュメモリに1ビットエラーがあってもエラーの履歴を残して適当な契機に上位装置へその履歴を報告するのみであり、1ビットエラーのあるメモリエリアをそのままキャッシュメモリとして使用していた。この方式はキャッシュメモリ内の情報と磁気ディスク内の情報とが一致している間は有効である。なぜなら、1ビットエラーが2ビットエラーへと進行するまでの間キャッシュメモリの有効容量を減らさずに済むし、2ビットエラーへ進行した場合は、その時点でキャッシュメモリ内の情報を廃棄して直接磁気ディスク内の情報を用いることによりデータ破壊とはならないからである。

しかし、キャッシュメモリ内の情報のみを書き換え、その時点では磁気ディスク内の情報を書き換えないといういわゆるストアイン動作を行う場合、キャッシュメモリ内の情報が磁気ディスクに書き戻されるまでの間に1ビットエラーが2ビットエラーへ進行すると、データ破壊となるという欠点があった。

発明の目的

本発明の目的は、ストアイン動作により半導体キャッシュメモリ内に書かれた情報がメモリ障害の進行によって破壊されるのを防止することが可能なディスクキャッシュ装置を提供することである。

発明の構成

本発明によるディスクキャッシュ装置は、複数のバッファセグメントを有するディスクキャッシュメモリと、これ等バッファセグメントにMビット（Mは正の整数）のエラー検出及びNビット（NはM未満の正の整数）のエラー検出・訂正可能なエラー検出・訂正コードを付加してデータを書込む書込み手段と、前記バッファセグメントのデータが前記Mビットのエラー及びNビットの訂正可能エラーのいずれかを有するか否か検出するエラー検出手段と、前記バッファセグメント毎に前記検出手段による前記Mビットのエラー検出及びNビットの訂正可能エラーの検出履歴を保持する履歴保持テーブルと、前記履歴保持テーブルの検出履歴が前記Mビットのエラー検出を示すバッファセグメントを使用禁止にする手段と、上位装置からのデータ書込み指示がストアイン操作を要求するものである場合に前記履歴保持テーブルを参照して前記Mビットのエラー検出及びNビットの訂正可能エラーの検出履歴がないバッファセグメントを抜出す手段と、この抜出したバッファセグメントに前記ストアイン操作の対象となるバッファセグメントを割当てる手段とを有し、前記履歴保持テーブルの検出履歴が前記Nビットの訂正可能エラーの検出を示すバッファセグメントは

4

前記ストアイン操作時にのみ使用禁止にすることを特徴としている。

実施例

以下、図面を用いて本発明の実施例を説明する。

第1図は本発明の実施例のブロック図であり、ディスクキャッシュ装置1は、CPU（マイクロプロセッサからなるものとする）2と、キャッシュメモリ3と、このキャッシュメモリ3へのデータ書込みに際してエラー検出・訂正可能なコードを付加するコード付加部4と、キャッシュメモリ3からのデータ読み出しに際してエラー検出をなすエラー検出部5と、キャッシュアダプタ6と、ホストアダプタ7と、ディスクインタフェースアダプタ8とからなる。

上位装置としてホストプロセッサ9が設けられており、ホストアダプタ7と相互接続されている。磁気ディスク11~13はディスクコントローラ10を介してディスクインタフェースアダプタ8と相互接続されている。

キャッシュメモリ3は一連のアドレス空間を待つ半導体メモリであり、書込み時にコード付加部4において、ワード単位に1ビットエラー検出・訂正、2ビットエラー検出コードが付加されてこの半導体メモリ3へ書込まれる。読み出し時に、エラー検出部5においてワード単位に1ビットエラー検出・訂正、2ビットエラー検出が行われるようになっている。また、1ビットエラー又は2ビットエラーが検出された場合は、エラーの発生状況をCPU2に告知するステータスが生成される。

キャッシュメモリのアドレス空間は、Y本のバッファセグメントと、これらバッファセグメントの使用状況及びキャッシュの追い出し管理等を行う管理用のディレクトリテーブルと、エラーの検出履歴等の管理を行うLRU（Least Recent Use）テーブルとに論理的に分離されている。

ディレクトリテーブルは第2図に示す様に、使用中フラグ、ホームフラグ、物理トラックアドレス、前方リンク、後方リンク及びキャッシュアドレスからなる。また、LRUテーブルは第3図に示す様に、バッファセグメントと1対1に対応してオンラインフラグ、1ビットエラーフラグ、前方リンク、後方リンク及びディレクトリポインタからなる。オンラインフラグと1ビットエラーフラグとは対応するバッファセグメントの障害状況履歴を示すものである。

CPU2によって行われるキャッシュメモリ3の初期試験時あるいはホストプロセッサ9によって起動されたバッファセグメントの読み出し時に、マイクロプロセッサ2はキャッシュメモリ3のステータスを調査し、1ビットエラーが検出されていれば該当するLRUテーブルのエントリの1ビットエラーフラグを「1」とし、2ビットエラーが検出されていれば以降当バッファセグメントの使用を禁止するためにオンラインフラグを「0」とする。

ホストプロセッサ9からストアイン領域が指示される

LRUリンクのLRUポインタに近い側から（すなわち、時間的に最も過去にアクセスされたものから）順にオンラインフラグが「1」で1ビットエラーフラグが「0」であるLRUエントリをLRUリンクから抜き、これ等LRUリンクのみを使用可とするのである。これ等LRUリンクを使用していたディレクトリテーブルのディレクトリエントリの使用中フラグを「0」とする。ディレクトリエントリが他のディレクトリエントリとリンクしていれば、リンクの変更を行う。取得したLRUリンクとディレクトリエントリとを関連づける。

[illegible]

9.....ホストプロセッサ

オンライン フラグ	1ビットエラー フラグ	前方リンク	後方リンク	ディレクトリ ポインタ

【第1図】

